



## PATENT ABSTRACTS OF JAPAN

(21) Application number: 59174132

(51) Intl. Cl.: H01L 29/72 H01L 29/20

(22) Application date: 23.08.84

(30) Priority:

(43) Date of application  
publication: 17.03.86(84) Designated  
contracting states:

(71) Applicant: TOSHIBA CORP

(72) Inventor: KATO RIICHI  
KURATA MAMORU

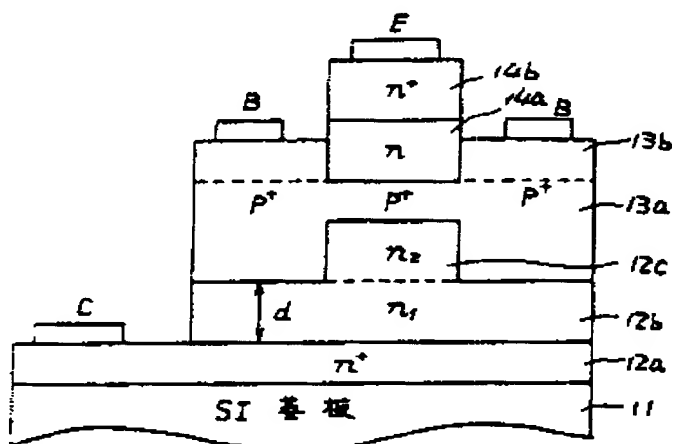
(74) Representative:

(54) HETEROJUNCTION  
BIPOLAR TRANSISTOR

(57) Abstract:

**PURPOSE:** To realize high-speed switching, by decreasing the concentration of impurity in a collector layer in a stepped manner or continuously from a base layer.

**CONSTITUTION:** An N<sup>+</sup> type layer 12a of GaAs with an N type dopand such as Si is formed on a semi-insulating Si substrate 11. An N type layer 12b of GaAs having a concentration n1 is formed thereon, and an N type layer 12c of GaAs having a concentration n2 is formed thereon. Further a P<sup>+</sup> type layer 13a of GaAs with a P type dopand such as Be, an N type layer 14a of AlGaAs and an N<sup>+</sup> type layer 14b of AlGaAs are formed successively in that order. Ions of P type dopand such as Be are implanted to form an outer base region 13b. The concentration n1 is determined in accordance with the thickness d of the N type layer of the outer base after the ion implantation which is previously calculated. On the other hand, the concentration n2 is determined in accordance with the density of current flowing during operation of the transistor, such that the concentration of electrons in the collector depletion layer is equal to or lower than that of the impurity.



DS p.14 item 5

PAT-NO: JP361053768A

DOCUMENT-IDENTIFIER: JP 61053768 A

TITLE: HETEROJUNCTION BIPOLAR TRANSISTOR

PUBN-DATE: March 17, 1986

INVENTOR-INFORMATION:

NAME

KATO, RIICHI

KURATA, MAMORU

ASSIGNEE-INFORMATION:

NAME

TOSHIBA CORP

COUNTRY

N/A

APPL-NO: JP59174132

APPL-DATE: August 23, 1984

INT-CL (IPC): H01L029/72, H01L029/20

US-CL-CURRENT: 257/E29.189

ABSTRACT:

PURPOSE: To realize high-speed switching, by decreasing the concentration of impurity in a collector layer in a stepped manner or continuously from a base layer.

CONSTITUTION: An N<SP>+</SP> type layer 12a of GaAs with an N type dopand such as Si is formed on a semi-insulating Si sbustrate 11. An N type layer 12b of GaAs having a concentration  $n_{<SB>1</SB>}$  is formed thereon, and an N type layer 12c of GaAs having a concentration  $n_{<SB>2</SB>}$  is formed thereon.

Further a P-type layer 13a of GaAs with a P type dopant such as Be, an N type layer 14a of AlGaAs and an N-type layer 14b of AlGaAs are formed successively in that order. Ions of P type dopant such as Be are implanted to form an outer base region 13a. The concentration  $n_1$  is determined in accordance with the thickness  $d$  of the N type layer of the outer base after the ion implantation which is previously calculated. On the other hand, the concentration  $n_2$  is determined in accordance with the density of current flowing during operation of the transistor, such that the concentration of electrons in the collector depletion layer is equal to or lower than that of the impurity.

COPYRIGHT: (C)1986,JPO&Japio

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭61-53768

⑬ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

⑭ 公開 昭和61年(1986)3月17日

H 01 L 29/72  
29/20

8526-5F  
8526-5F

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 ヘテロ接合バイポーラトランジスタ

⑯ 特 願 昭59-174132

⑰ 出 願 昭59(1984)8月23日

⑱ 発 明 者 加 藤 理 一 川崎市幸区小向東芝町1 株式会社東芝総合研究所内  
⑲ 発 明 者 倉 田 衛 川崎市幸区小向東芝町1 株式会社東芝総合研究所内  
⑳ 出 願 人 株 式 会 社 東 芝 川崎市幸区堀川町72番地  
㉑ 代 理 人 弁理士 則近 憲佑 外1名

明 細 書

1. 発明の名称

ヘテロ接合バイポーラトランジスタ

2. 特許請求の範囲

(1) エミッタ層ないしコレクタ層の少なくとも一方がベース層よりバンドギャップの広い半導体材料を用いたヘテロ接合バイポーラトランジスタにおいて、コレクタ層の不純物濃度をベース層側から階段状ないし連続的に減少させたことを特徴とするヘテロ接合バイポーラトランジスタ。

(2) 上記コレクタ層において、上からエミッタ層、ベース層、コレクタ層があるとしたとき、外部ベース領域のベース・コレクタ接合が、真性トランジスタ領域のベース・コレクタ接合より下側に位置し、前者接合位置より上側のコレクタ不純物濃度が、同接合位置より下側のコレクタ不純物濃度より高くなっているように構成した特許請求の範囲第1項記載のヘテロ接合バイポーラトランジスタ。

3. 発明の詳細な説明

〔発明の技術分野〕

本発明は、ヘテロ接合を用いたバイポーラトランジスタに関する。

〔発明の技術的背景とその問題点〕

ヘテロ接合バイポーラトランジスタは、エミッタ層をベース層よりバンドギャップの広い材料を用いるため、正孔のエミッタへの注入が抑制されるのに対し、電子は正孔に比べわずかなエネルギーでベース中へ流れることができ、従って、エミッタ注入効率が改善される。又、ベースの不純物濃度を上げて、さほどエミッタ注入効率は損なわれないため、内部ベース抵抗を下げることができ、従ってベースの厚みも薄くできるという利点がある。従来 AlGaAs/GaAs を用いたヘテロ接合バイポーラトランジスタにつき試作例がいくつか報告されているが、これらはその素材における高電子移動度と、低ベース抵抗により高速動作が可能であるという考えが基本になっている。しかしながらスイッチング素子としてヘテロ接合バイポーラトランジスタを使用する場合、現実的な消

負電力を考慮すると、電流はあまり大きくとれず、コレクタ接合容量 $C_C$ と負荷抵抗 $R_L$ で決まる $C_C R_L$ が主要な時定数となり、これがスイッチングスピードを決定してしまう。

従来のヘテロ接合バイポーラトランジスタの構造を第2図に示す。これはコレクタ第1層の $n^+$ 領域(22a)の上に第II層として $n^-$ のコレクタ低濃度層(22b)を成長させ、その上にベースの $p^+$ 層(23a)、エミッタの $n$ 層(24a)、 $n^+$ 層(24b)と順次成長させている。外部ベースの $p^+$ 層(23b)はイオンのインプラネーション等により形成され、内部ベースとの接触をさせるため内部ベースの $p^+$ 層(23a)より下側まで及んでいる。先に述べたようにコレクタ接合容量はエミッタ直下の真性コレクタと外部ベースの外部コレクタの両者の和であるから、コレクタ第II層における不純物濃度を下げればこれは減少させることができる。しかしながら電流密度の上昇とともにコレクタ空乏層中の電子濃度がドーピング濃度を超えると、ベース押し出し効果(Kirk効果)によって正孔がコレクタ中

に注入され、スイッチング・スピードは極めて遅くなる。従って、電流密度を上げた場合にはむしろコレクタ不純物濃度を高くして、ベース押し出し効果を抑制しなければならない。即ち、全コレクタ接合容量低減のためにはコレクタ第II層の濃度はできるだけ下げなければならない、ベース押し出し効果抑制のためには濃度は高くとらなければならないという問題が生ずる。

#### 〔発明の目的〕

本発明の目的は、上記の問題点を除去して、より高速なスイッチングを行なうことのできるヘテロ接合バイポーラトランジスタを提供することにある。

#### 〔発明の概要〕

先に述べた問題点は外部ベース領域の存在により全コレクタ接合面積が大きくなることに起因する。ヘテロ接合バイポーラトランジスタではベース不純物濃度が上げられることによりバルクベース抵抗は下げられるため、外部ベースのコンタクト抵抗はこのバルク抵抗を上まわっては意味がな

い。従ってコンタクト部の面積はあまり小さく出来なく、従って外部ベース部の接合容量は真性部分に比べて大きくなる場合が多い。この外部ベース部の寄生容量は真性トランジスタにとって容量負荷となるため、この負荷はできるだけ小さくすることが好ましい。一方、真性トランジスタは電流密度を上げて負荷抵抗を小さくする場合、或いはエミッタ面積を小さくして電流密度を上げる場合、ベース押し出し効果によってスイッチングスピードが遅くなるのを抑えるために、コレクタ不純物濃度を上げることが望ましい。本発明はコレクタ層に濃度差のある少なくとも2層を有する構造により、外部ベース部のコレクタ接合容量は低減し、真性トランジスタのコレクタ層におけるベース寄りの層は高くするため、正孔のコレクタへの注入が抑えられるという利点がある。

#### 〔発明の効果〕

本発明により、外部ベース部のコレクタ接合容量は低減でき、かつ真性トランジスタの電流密度は従来より上げることができ、より高速なスイッ

チング・スピードが可能なヘテロ接合バイポーラトランジスタが提供される。

#### 〔発明の実施例〕

本発明の実施例を第1図に示す。ここではコレクタ層として $n_1$ 及び $n_2$ の2種の濃度を有するGaAs/As/GaAs シングルヘテロ接合バイポーラトランジスタの場合につき説明する。半絶縁性(SI)基板(11)上にSi等の $n$ 型ドーパントを用いたGaAsの $n^+$ 層(12a)を形成し、その上に濃度 $n_1$ なるGaAsの $n$ 層(12b)を形成し、その上に $n_2$ なる濃度のGaAsの $n$ 層(12c)を形成する。さらに順次、Be等 $p$ 型ドーパントを用いたGaAsの $p^+$ 層(13a)、AsGaAsの $n$ 層(14a)、AsGaAsの $n^+$ 層(14b)を形成する。この結晶成長に関し、MOCVD(有機金属熱分解気相成長)法ないしMBE(分子線エピタキシャル成長)法を用いるのが適切である。外部ベース領域(13a)はBe等の $p$ 型ドーパントイオンをインプラネーションにより形成する。その際、イオンが折込まれた後の外部ベースの $n$ 層の厚さ $d$ をあらかじめ

め算出しておき、それに応じて濃度  $n_1$  を決定する。濃度  $n_1$  は距離  $d$  の領域がベース・コレクタ・ゼロバイアス時に、完全空乏化する濃度以下にする必要がある。具体的には  $d = 2500 \text{ \AA}$  と与えたときは、 $n_1 \approx 10^{16} \text{ cm}^{-3}$  程度以下である。一方濃度  $n_2$  はトランジスタ動作時に流れる電流密度に応じ、コレクタ空乏層中の電子が不純物濃度に等しいが、それより小さくなるように設定してやればよい。電流密度を  $2 \times 10^5 \text{ A/cm}^2$  程度流すときには  $n_2 = 10^{17} \text{ cm}^{-3}$  が必要である。外部ベース領域にも濃度  $n_2$  の高濃度コレクタ層が存在するがこれは更に濃度の高い  $p^+$  層と重なるため、 $p^+$  層として残るが、 $n^+$  に相殺された分だけ接合容量が更に減少することになる。

〔発明の他の実施例〕

上記例でコレクタに  $\text{AlGaAs}$  を用いた場合、真性トランジスタにおけるベースコレクタ接合点近傍より十分な遷移層を設け、外部ベースにおけるベース・コレクタ接合は  $\text{AlGaAs}$  からなる広バンド・ギャップになるよう成長したヘテロ接合

バイポーラトランジスタにおいては、さらに外部ベースの寄生容量を低減することができる。

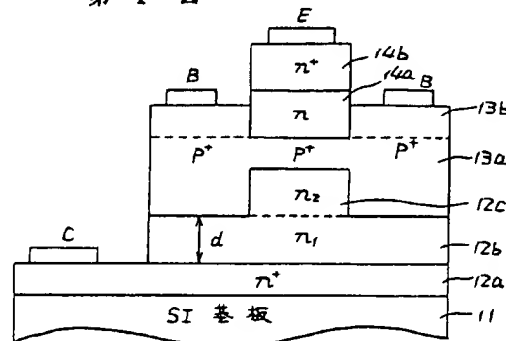
#### 4. 図面の簡単な説明

第1図は本発明によって得られるヘテロ接合バイポーラトランジスタの概略構成断面図、第2図は従来の単一低濃度コレクタ層を有するヘテロ接合バイポーラトランジスタの概略構成断面図である。

11…半導体性基板、12a…コレクタ領域の  $n^+$  層、12b…濃度  $n_1$  の  $n$  層、12c…濃度  $n_2$  の  $n$  層、13a…内部ベースとなる  $p^+$  層、13b…外部ベースとなる  $p^+$  層、14a…エミッタ領域の  $n$  層、14b…エミッタ領域の  $n^+$  層。

代理人弁理士 則 近 憲 佑（ほか1名）

第 1 図



第 2 図

